

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

SEMICONDUCTOR DEVICE

Patent Number: JP10242454
Publication date: 1998-09-11
Inventor(s): KAMAKURA MASAARI;; SUGIURA YOSHIYUKI;; HAGIWARA YOSUKE
Applicant(s): MATSUSHITA ELECTRIC WORKS LTD
Requested Patent: ☐ JP10242454
Application Number: JP19970043594 19970227
Priority Number(s):
IPC Classification: H01L29/78
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To provide a semiconductor device having no lowered breakdown voltage between a drain and a source, even in the case of wiring a high-potential drain electrode over an element separation region.

SOLUTION: An n+ type drain region 5 is formed approximately in the center inside an element formation region 4, a p-type channel region 6 is formed inside the element formation region 4 exclusive of a lower part of a drain electrode 12 and its neighborhood in contact with a p+ type element separation region 3 so as to enclose the n+ type drain region, and n+ type source region 7 is formed inside the element formation region for being involved inside the p-type channel region 6 and the p+ type element separation region 3. A p-type impurity region 8 is formed between the p-type channel region 6 and the n+ type drain region 5, and inside the element formation region 4 in the lower part of the drain electrode 12 and in its neighborhood, and a conductive layer 14 is formed inside an insulating layer 11 on the p-type impurity region 8 for performing capacitive coupling. The area of an overlapping part of the conductive layer 14 consisting of capacitive coupling of the lower part of the drain electrode is made smaller as it goes toward the outer circumference of the element formation region.

Data supplied from the esp@cenet database - I2

Partial English Translation of
LAID OPEN unexamined
JAPANESE PATENT APPLICATION
Publication No. 10-242454

Lines 9 to 18 of the right column on page 2

Figure 3 is a schematic diagram showing the LDMOSFET according to the conventional example. Figure 3(a) is a schematic plan view showing the structure seen from the upper side thereof, and Figure 3(b) is a schematic section view taken from a line A-A' in Figure 3(a). In the LDMOSFET, a n-type epitaxial layer 2 is formed on a p-type semiconductor substrate 1 and a p⁺-type isolation region 3 is formed so as to be extended from the surface of the n-type epitaxial layer 2 to the p-type semiconductor substrate 1. Further, there are formed a plurality of device forming regions 4 which are made of the n-type epitaxial layer 2 and isolated from one another by the p-type semiconductor substrate 1 and the p⁺-type isolation region 3.

Lines 11 to 50 of the left column on page 4

Figure 1 is a diagram showing the LDMOSFET according to one embodiment of the present invention. Figure 1(a) is a schematic plan view, and Figure 1(b) is a schematic enlarged view of the lower part of the drain electrode 12 and the conductive layers 14 in the vicinity thereof. Referring to the LDMOSFET according to the present embodiment, the

lower part of the drain electrode 12 and the capacitor coupled conductive layers 14 in the vicinity thereof are composed so that the areas of overlapping portions of respective two opposed conductive layers 14 become smaller as it is farther from the n⁺-type drain region 5 at the approximate center of the device forming region 4 and is nearer to the outer circumference of the device forming region 4, and the capacitance composed by the lower part of the drain electrode 12 and the conductive layers 14 in the vicinity thereof becomes smaller as it is farther from the approximate center of the device forming region 4 and is nearer to the outer circumference thereof in the LDMOSFET of Figure 3 showing the conventional example.

[0018] Wherein, the impurity concentration and the thickness of the n-type epitaxial layer 2 are set optimally according to a desired withstanding voltage. Generally, it is preferable to set the product of the impurity concentration and the thickness of the n-type epitaxial layer 2 to be approximately $1 \times 10^{12}/\text{cm}^2$.

[0019] As described above, in the present embodiment, the capacitance composed of the lower part of the drain electrode 12 and the conductive layers 14 in the vicinity thereof becomes smaller as it is farther from the approximate center of the device forming region 4 and is nearer to the outer circumference thereof. Accordingly, an almost optimum potential distribution can be attained by previously setting the potential distribution of the lower part of the drain electrode 12 and the vicinity thereof eccentric to the approximate center of the device forming region 4, so as to offset the eccentricity of the potential distribution to the outer

circumference of the device forming region 4, which is due to the application of a high potential to the drain electrode 12. Consequently, it becomes possible to prevent decrease in a withstanding voltage caused by field concentration.

[0020] Wherein, in the present embodiment, for attaining the structure in which the capacitance composed of the lower part of the drain electrode 12 and the conductive layers 14 in the vicinity thereof becomes smaller as it is farther from the approximate center of the device forming region 4 and is nearer to the outer circumference thereof, there is employed a method of making the areas of the overlapping portions of the respective two opposed conductive layers 14 smaller as it is farther from the n^+ -type drain region 5 at the approximate center of the device forming region 4, and is nearer to the outer circumference thereof. However, employable methods are not limited to this one. For example, as shown in Figure 2, there can be employed a method of making distance between pairs of the capacitor coupled conductive layers 14 longer as it is farther from the n^+ -type drain region 5 at the approximate center of the isolation region 4, and is nearer to the outer circumference thereof.



(19)

(11) Publication number: **10242454 A**

Generated Document.

PATENT ABSTRACTS OF JAPAN(21) Application number: **09043594**(51) Intl. Cl.: **H01L 29/78**(22) Application date: **27.02.97**

(30) Priority:

(43) Date of application publication: **11.09.98**

(84) Designated contracting states:

(71)

Applicant: **MATSUSHITA ELECTRIC WORKS LTD**(72) Inventor: **KAMAKURA MASAARI
SUGIURA YOSHIYUKI
HAGIWARA YOSUKE**

(74)

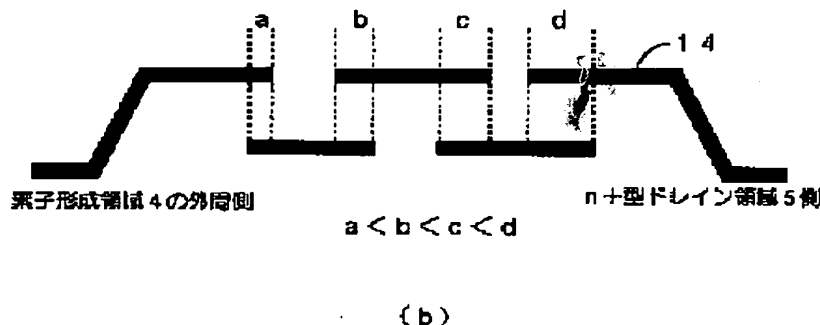
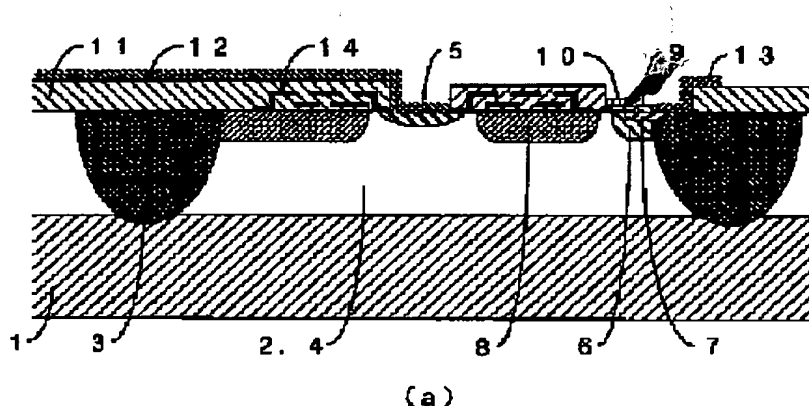
Representative:

(54) SEMICONDUCTOR DEVICE

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor device having no lowered breakdown voltage between a drain and a source, even in the case of wiring a high-potential drain electrode over an element separation region.

SOLUTION: An n⁺ type drain region 5 is formed approximately in the center inside an element formation region 4, a p-type channel region 6 is formed inside the element formation region 4 exclusive of a lower part of a drain electrode 12 and its neighborhood in contact with a p⁺ type element separation region 3 so as to enclose the n⁺ type drain region, and n⁺ type source region 7 is formed inside the element formation region for being involved inside the p-type channel region 6 and the p⁺ type element separation region 3. A p-type impurity region 8 is formed between the p-type channel region 6 and the n⁺ type drain region 5, and inside the element formation region 4 in the lower part of the drain electrode 12 and in its neighborhood, and a conductive layer 14 is formed inside an insulating layer 11 on the p-type impurity region 8 for performing capacitive coupling. The area of an overlapping part of the conductive layer 14 consisting of capacitive coupling of the lower part of the drain electrode is made smaller as it goes toward the outer circumference of the element formation region.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-242454

(43) 公開日 平成10年(1998) 9月11日

(51) Int.Cl.⁶
H 0 1 L 29/78

識別記号

F I
H 0 1 L 29/78

3 0 1 X

審査請求 未請求 請求項の数 3 O L (全 6 頁)

(21) 出願番号 特願平9-43594

(22) 出願日 平成9年(1997) 2月27日

(71) 出願人 000005832

松下電工株式会社

大阪府門真市大字門真1048番地

(72) 発明者 鍛冶 將有

大阪府門真市大字門真1048番地松下電工株式会社内

(72) 発明者 杉浦 義幸

大阪府門真市大字門真1048番地松下電工株式会社内

(72) 発明者 萩原 洋右

大阪府門真市大字門真1048番地松下電工株式会社内

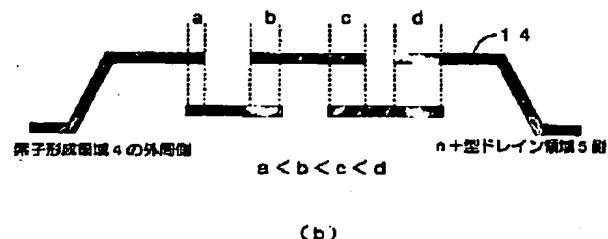
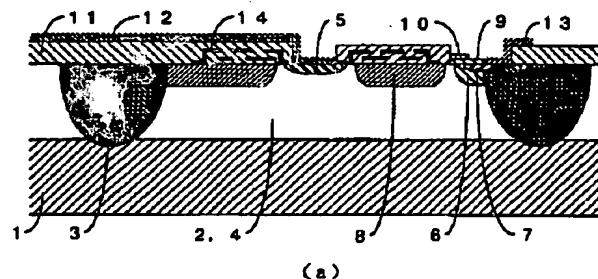
(74) 代理人 弁理士 佐藤 成示 (外1名)

(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 素子分離領域を跨いで高電位のドレイン電極を配線する場合においてもドレイン—ソース間の耐圧が低下することのない半導体装置を提供する。

【解決手段】 素子形成領域4内の略中心にn+型ドレイン領域5が形成され、ドレイン電極12の下部及びその近傍を除いて、p+型素子分離領域3に接してn+型ドレイン領域5を囲むように素子形成領域4内にp型チャネル領域6を形成し、p型チャネル領域6及びp+型素子分離領域3内に内包されるように素子形成領域4内にn+型ソース領域7が形成されている。p型チャネル領域6とn+型ドレイン領域5との間と、ドレイン電極12の下部及びその近傍との素子形成領域4内にはp—型不純物領域8が形成され、p—型不純物領域8上の絶縁層11内には、容量結合するように導体層14が形成されている。そして、ドレイン電極12の下部及びその近傍の容量結合して成る導体層14の重なる部分の面積を、素子形成領域4の外周に向かうに従って、小さくするようにした。



- | | |
|--------------|------------|
| 1 p型半導体基板 | 8 p—型不純物領域 |
| 2 n型エピタキシャル層 | 9 ゲート酸化膜 |
| 3 p+型素子分離領域 | 10 絶縁ゲート |
| 4 素子形成領域 | 11 絶縁層 |
| 5 n+型ドレイン領域 | 12 ドレイン電極 |
| 6 p型チャネル領域 | 13 ソース電極 |
| 7 n+型ソース領域 | 14 導体層 |

【特許請求の範囲】

【請求項1】 第一導電型半導体基板と、該第一導電型半導体基板の一主表面上に形成され、表面から前記第一導電型半導体基板に到達するように形成された高濃度第一導電型素子分離領域及び前記第一導電型半導体基板により絶縁分離された第二導電型エピタキシャル層から成る素子形成領域と、該素子形成領域の表面に露出するように前記素子形成領域内の略中心に形成された高濃度第二導電型ドレイン領域と、該高濃度第二導電型ドレイン領域に電気的に接続され、前記高濃度第一導電型素子分離領域を跨いで他の前記素子形成領域に引き出されて成るドレイン電極と、該ドレイン電極の下部及びその近傍を除いて前記高濃度第二導電型ドレイン領域を囲むとともに前記高濃度第一導電型素子分離領域に隣接し、前記素子形成領域の表面に露出するように前記素子形成領域内に形成された第一導電型チャネル領域と、前記高濃度第一導電型素子分離領域及び第一導電型チャネル領域に内包され、前記素子形成領域の表面に露出するように前記素子形成領域内に形成された高濃度第二導電型ソース領域と、該高濃度第二導電型ソース領域と前記高濃度第二導電型ドレイン領域との間に介在する前記第一導電型チャネル領域上にゲート酸化膜を介して形成された絶縁ゲートと、該絶縁ゲートと電気的に接続されるように形成されたゲート電極と、前記素子形成領域の表面に露出するように前記第一導電型チャネル領域と前記高濃度第二導電型ドレイン領域との間と、前記ドレイン電極の下部及びその近傍との前記素子形成領域内に形成された前記第一導電型チャネル領域よりも低濃度の低濃度第一導電型不純物領域と、前記高濃度第二導電型ソース領域及び高濃度第一導電型素子分離領域と電気的に接続されるように形成されたソース電極と、前記素子形成領域上に形成された絶縁層と、前記低濃度第一導電型不純物領域上の前記絶縁層内に、容量結合するように形成された導体層とを有して成る半導体装置において、前記ドレイン電極の下部及びその近傍の容量結合して成る前記導体層の容量を、前記素子形成領域の外周に向かうに従って小さくなるようにしたことを特徴とする半導体装置。

【請求項2】 前記容量結合して成る導体層の対向する部分の面積を、前記素子形成領域の外周に向かうに従って小さくすることにより、前記ドレイン電極の下部及びその近傍の容量結合して成る前記導体層の容量を、前記素子形成領域の外周に向かうに従って小さくするようにしたことを特徴とする請求項1記載の半導体装置。

【請求項3】 前記容量結合して成る導体層対の間隔を、前記素子形成領域の外周に向かうに従って大きくすることにより、前記ドレイン電極の下部及びその近傍の容量結合して成る前記導体層の容量を、前記素子形成領域の外周に向かうに従って小さくするようにしたことを特徴とする請求項1記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置に関するものであり、特に、高耐圧LDMOSFETに関する。

【0002】

【従来の技術】パワー半導体装置の一つとして、横型二重拡散MOS電解効果トランジスタ、いわゆるLDMOSFET (Lateral Double Diffused MOSFET) がある。図3は、従来例に係るLDMOSFETを示す模式図であり、(a)は上面から見た状態を示す略平面図であり、(b)は(a)におけるA-A'での略断面図である。このLDMOSFETは、p型半導体基板1上にn型エピタキシャル層2が形成され、n型エピタキシャル層2の表面からp型半導体基板1に到達するようにp+型素子分離領域3が形成されている。そして、p型半導体基板1及びp+型素子分離領域3により互いに絶縁分離されたn型エピタキシャル層2から成る複数の素子形成領域4が形成されている。

【0003】なお、p+型素子分離領域3の形成方法の一例としては、ボロン(B)等のp型不純物をデポし、酸化、ドライブ工程により形成する方法がある。

【0004】また、素子形成領域4の表面に露出するように素子形成領域4内の略中心にリン(P)等のn型不純物をイオン注入することによりn+型ドレイン領域5が形成され、n+型ドレイン領域5に電気的に接続され、かつ、p+型素子分離領域3を跨いで他の素子形成領域4まで延設されるようにアルミニウム(Al)等から成るドレイン電極12が形成されている。

【0005】また、ドレイン電極12の下部及びその近傍を除いてn+型ドレイン領域5を囲み、かつ、p+型素子分離領域3に隣接して素子形成領域4の表面に露出するように素子形成領域4内にp+型素子分離領域3よりも低濃度のp型チャネル領域6が形成され、素子形成領域4の表面に露出し、かつ、p型チャネル領域6及びp+型素子分離領域3に内包されるように、リン(P)等のn型不純物をイオン注入することによりn+型ソース領域7が形成されている。そして、n+型ドレイン領域5とp型チャネル領域6との間のドリフト領域と、ドレイン電極12の下部及びその近傍のドリフト領域とには、ドリフト領域の表面近傍の電界強度を最適化するために、素子形成領域の表面に露出するようにボロン

(B)等のp型不純物をイオン注入することによりp型不純物領域8が形成されている。

【0006】また、n+型ドレイン領域5とn+型ソース領域7との間に介在するp型チャネル領域6上には、ゲート酸化膜9を介して、ポリシリコン等から成る絶縁ゲート10が形成されている。

【0007】また、n型エピタキシャル層2上には、絶縁層11が形成され、絶縁ゲート10と電気的に接続されるようにアルミニウム(Al)等から成るゲート電極

(図示せず)が形成され、n+型ソース領域7及びp+型素子分離領域3と電氣的に接続されるようにアルミニウム(A1)等から成るソース電極13が形成されている。

【0008】更に、ドリフト領域上の絶縁層11内には、ポリシリコン等から成る導体層14がn+型ドレイン領域5を囲んで容量結合するように、少なくとも一部が対向配置して形成されている。この導体層14により、ドリフト領域の表面電位がさらに均一化され、電界を安定化させることができる。

【0009】このようなLDMOSFETは、ドレイン電極12に高電位、ソース電極13に低電位を印加して、素子形成領域4全体を空乏化させ、素子形成領域4の表面の電界強度を緩和してドレイン-ソース間の耐圧を高い電圧まで維持している。これは、所謂RESURF (REduced SURface Field) 原理を用いており、("International Electronic Device Meeting Technical Digest", Dec., p.238~240 (1979)) に詳しく記載されている。

【0010】上述のLDMOSFETは、他の信号処理回路と同一チップに集積化することにより、ハイサイドドライバ回路のレベルシフタ等が実現でき、有用である。このLDMOSFETをICとして集積化する場合、図3(a)に示すように、素子形成領域4の略中心にn+型ドレイン領域5が形成され、その周囲をn+型ソース領域7で囲んだような形状が用いられることが多く、n+型ドレイン領域5に高電圧を印加する場合、p+型素子分離領域3の外部からp+型素子分離領域3を跨いでn+型ドレイン領域5までドレイン電極12を配置する必要がある。

【0011】

【発明が解決しようとする課題】ところが、上述のような構成のLDMOSFETにおいては、ドレイン電極12の電位が直下の絶縁層11を介して、その下の素子形成領域4の表面の電位分布に影響を及ぼすという問題があった。

【0012】図4は、従来例に係るLDMOSFETの素子形成領域4の電位分布を示す模式図であり、(a)はドレイン電極12をp+型素子形成領域3を跨いで外部に引き出さない場合の電位分布を示す模式図であり、

(b)はドレイン電極12をp+型素子形成領域3を跨いで外部に引き出す場合の電位分布を示す模式図である。図4より、ドレイン電極12をp+型素子形成領域3を跨いで外部に引き出す場合には、高電位を印加されたドレイン電極12によりp+型素子分離領域3の近傍に素子形成領域4表面の電位分布が集中し、この部分で臨界電界を越えてドレイン-ソース間耐圧が低下するという問題があった。

【0013】本発明は、上記の点に鑑みて成されたものであり、その目的とするところは、素子分離領域を跨い

で高電位のドレイン電極を配線する場合においてもドレイン-ソース間の耐圧が低下することのない半導体装置を提供することにある。

【0014】

【課題を解決するための手段】請求項1記載の発明は、第一導電型半導体基板と、該第一導電型半導体基板の主表面上に形成され、表面から前記第一導電型半導体基板に到達するように形成された高濃度第一導電型素子分離領域及び前記第一導電型半導体基板により絶縁分離された第二導電型エピタキシャル層から成る素子形成領域と、該素子形成領域の表面に露出するように前記素子形成領域内の略中心に形成された高濃度第二導電型ドレイン領域と、該高濃度第二導電型ドレイン領域に電氣的に接続され、前記高濃度第一導電型素子分離領域を跨いで他の前記素子形成領域に引き出されて成るドレイン電極と、該ドレイン電極の下部及びその近傍を除いて前記高濃度第二導電型ドレイン領域を囲むとともに前記高濃度第一導電型素子分離領域に隣接し、前記素子形成領域の表面に露出するように前記素子形成領域内に形成された第一導電型チャネル領域と、前記高濃度第一導電型素子分離領域及び第一導電型チャネル領域に内包され、前記素子形成領域の表面に露出するように前記素子形成領域内に形成された高濃度第二導電型ソース領域と、該高濃度第二導電型ソース領域と前記高濃度第二導電型ドレイン領域との間に介在する前記第一導電型チャネル領域上にゲート酸化膜を介して形成された絶縁ゲートと、該絶縁ゲートと電氣的に接続されるように形成されたゲート電極と、前記素子形成領域の表面に露出するように前記第一導電型チャネル領域と前記高濃度第二導電型ドレイン領域との間と、前記ドレイン電極の下部及びその近傍との前記素子形成領域内に形成された前記第一導電型チャネル領域よりも低濃度の低濃度第一導電型不純物領域と、前記高濃度第二導電型ソース領域及び高濃度第一導電型素子分離領域と電氣的に接続されるように形成されたソース電極と、前記素子形成領域上に形成された絶縁層と、前記低濃度第一導電型不純物領域上の前記絶縁層内に、容量結合するように形成された導体層とを有して成る半導体装置において、前記ドレイン電極の下部及びその近傍の容量結合して成る前記導体層の容量を、前記素子形成領域の外周に向かうに従って小さくなるようにしたことを特徴とするものである。

【0015】請求項2記載の発明は、請求項1記載の半導体装置において、前記容量結合して成る導体層の対向する部分の面積を、前記素子形成領域の外周に向かうに従って小さくすることにより、前記ドレイン電極の下部及びその近傍の容量結合して成る前記導体層の容量を、前記素子形成領域の外周に向かうに従って小さくするようにしたことを特徴とするものである。

【0016】請求項3記載の発明は、請求項1記載の半導体装置において、前記容量結合して成る導体層対の間

隔を、前記素子形成領域の外周に向かうに従って大きくすることにより、前記ドレイン電極の下部及びその近傍の容量結合して成る前記導体層の容量を、前記素子形成領域の外周に向かうに従って小さくなるようにしたことを特徴とするものである。

【0017】

【発明の実施の形態】以下、本発明の一実施形態について図面に基づき説明する。なお、本実施形態においては、説明の便宜上、第一導電型をp型、第二導電型をn型として説明するが、p型とn型が逆の場合にも適用される。図1は、本発明の一実施形態に係るLDMOSFETを示す模式図であり、(a)は略断面図であり、

(b)は(a)のドレイン電極12の下部及びその近傍の導体層14が箇所の略拡大図である。本実施形態に係るLDMOSFETは、従来例として図3に示したLDMOSFETにおいて、ドレイン電極12の下部及びその近傍の容量結合して成る導体層14を、素子形成領域4の略中心のn+型ドレイン領域5から素子形成領域4の外周に向かうに従って、対向配置して成る2層の導体層14の重なる部分の面積が小さくなるようにして、ドレイン電極12の下部及びその近傍の導体層14により

構成される容量が、素子形成領域4の略中心から外周に向かうに従って小さくなるようにしたものである。

【0018】なお、n型エピタキシャル層2の不純物濃度及び厚みは、所望の耐圧によって最適設定され、一般的にはn型エピタキシャル層2の不純物濃度と厚みとの積を、約 $1 \times 10^{12} / \text{cm}^2$ に設定することが望ましい。

【0019】従って、本実施形態においては、ドレイン電極12の下部及びその近傍の導体層14により構成される容量が、素子形成領域4の略中心から外周に向かうに従って小さくなるようにしたので、予めドレイン電極12の下部及びその近傍の電位分布を素子形成領域4の略中心側に偏らせておき、ドレイン電極12に高電位が印加されることによって電位分布が素子形成領域4の外周方向に偏るのと相殺させることにより理想的な電位分布に近づけることができ、これにより電界集中による耐圧の低下を防止することができる。

【0020】なお、本実施形態においては、ドレイン電極12の下部及びその近傍の導体層14により構成される容量が、素子形成領域4の略中心から外周に向かうに従って小さくなる構成として、素子形成領域4の略中心のn+型ドレイン領域5から素子形成領域4の外周に向かうに従って、対向配置して成る2層の導体層14の重なる部分の面積を小さくすることにより構成したが、これに限定される必要はなく、例えば、図2に示すように、素子形成領域4の略中心のn+型ドレイン領域5から素子形成領域4の外周に向かうに従って、容量結合して成る導体層14の対の間隔を広くすることにより構成しても良い。

【0021】

【発明の効果】請求項1乃至請求項3記載の発明は、第一導電型半導体基板と、第一導電型半導体基板の一面表面上に形成され、表面から第一導電型半導体基板に到達するように形成された高濃度第一導電型素子分離領域及び第一導電型半導体基板により絶縁分離された第二導電型エピタキシャル層から成る素子形成領域と、素子形成領域の表面に露出するように素子形成領域内の略中心に形成された高濃度第二導電型ドレイン領域と、高濃度第二導電型ドレイン領域に電気的に接続され、高濃度第一導電型素子分離領域を跨いで他の素子形成領域に引き出されて成るドレイン電極と、ドレイン電極の下部及びその近傍を除いて高濃度第二導電型ドレイン領域を囲むとともに高濃度第一導電型素子分離領域に隣接し、素子形成領域の表面に露出するように素子形成領域内に形成された第一導電型チャンネル領域と、高濃度第一導電型素子分離領域及び第一導電型チャンネル領域に内包され、素子形成領域の表面に露出するように素子形成領域内に形成された高濃度第二導電型ソース領域と、高濃度第二導電型ソース領域と高濃度第二導電型ドレイン領域との間に介在する第一導電型チャンネル領域上にゲート酸化膜を介して形成された絶縁ゲートと、絶縁ゲートと電気的に接続されるように形成されたゲート電極と、素子形成領域の表面に露出するように第一導電型チャンネル領域と高濃度第二導電型ドレイン領域との間と、ドレイン電極の下部及びその近傍との素子形成領域内に形成された前記第一導電型チャンネル領域よりも低濃度の低濃度第一導電型不純物領域と、高濃度第二導電型ソース領域及び高濃度第一導電型素子分離領域と電気的に接続されるように形成されたソース電極と、素子形成領域上に形成された絶縁層と、低濃度第一導電型不純物領域上の絶縁層内に、容量結合するように形成された導体層とを有して成る半導体装置において、ドレイン電極の下部及びその近傍の容量結合して成る導体層の容量を、素子形成領域の外周に向かうに従って小さくなるようにしたので、予めドレイン電極の下部及びその近傍の電位分布を素子形成領域の略中心側に偏らせておき、ドレイン電極に高電位が印加されることによって電位分布が素子形成領域の外周方向に偏るのと相殺させることにより理想的な電位分布に近づけることができ、素子分離領域を跨いで高電位のドレイン電極を配線する場合においてもドレイン-ソース間の耐圧が低下することのない半導体装置を提供することができた。

【図面の簡単な説明】

【図1】本発明の一実施形態に係るLDMOSFETを示す模式図であり、(a)は略断面図であり、(b)は(a)のドレイン電極12の下部及びその近傍の導体層14が箇所の略拡大図である。

【図2】本発明の他の実施形態に係るLDMOSFETを示す模式図であり、(a)は略断面図であり、

(b) は (a) のドレイン電極 12 の下部及びその近傍の導体層 14 が箇所の略拡大図である。

【図 3】 従来例に係る LDMOSFET を示す模式図であり、(a) は上面から見た状態を示す略平面図であり、(b) は (a) における A-A' の略断面図である。

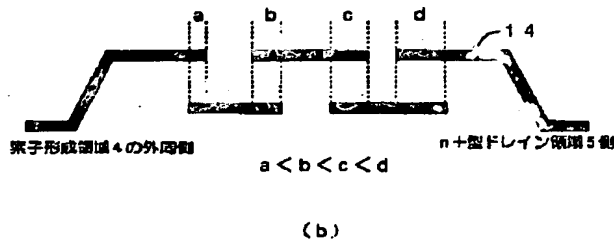
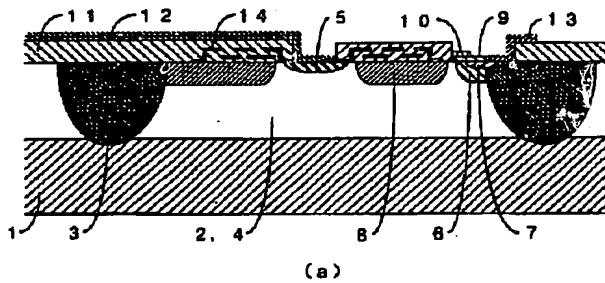
【図 4】 従来例に係る LDMOSFET の素子形成領域の電位分布を示す模式図であり、(a) はドレイン電極を p+ 型素子形成領域を跨いで外部に引き出さない場合の電位分布を示す模式図であり、(b) はドレイン電極を p+ 型素子形成領域を跨いで外部に引き出す場合の電位分布を示す模式図である。

【符号の説明】

1 p 型半導体基板

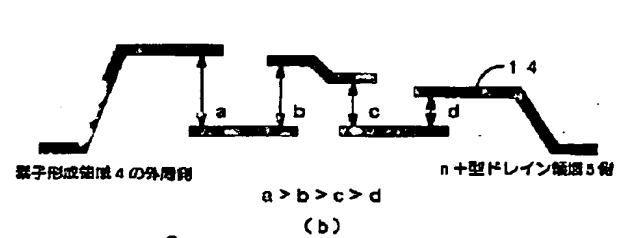
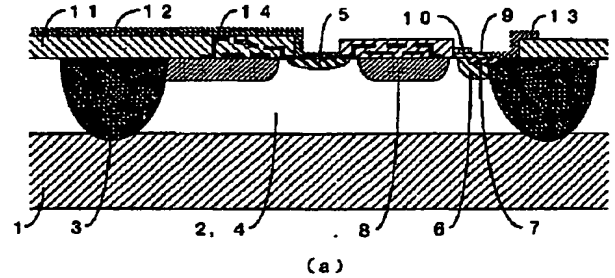
- 2 n 型エピタキシャル層
- 3 p+ 型素子分離領域
- 4 素子形成領域
- 5 n+ 型ドレイン領域
- 6 p 型チャネル領域
- 7 n+ 型ソース領域
- 8 p- 型不純物領域
- 9 ゲート酸化膜
- 10 絶縁ゲート
- 11 絶縁層
- 12 ドレイン電極
- 13 ソース電極
- 14 導体層

【図 1】

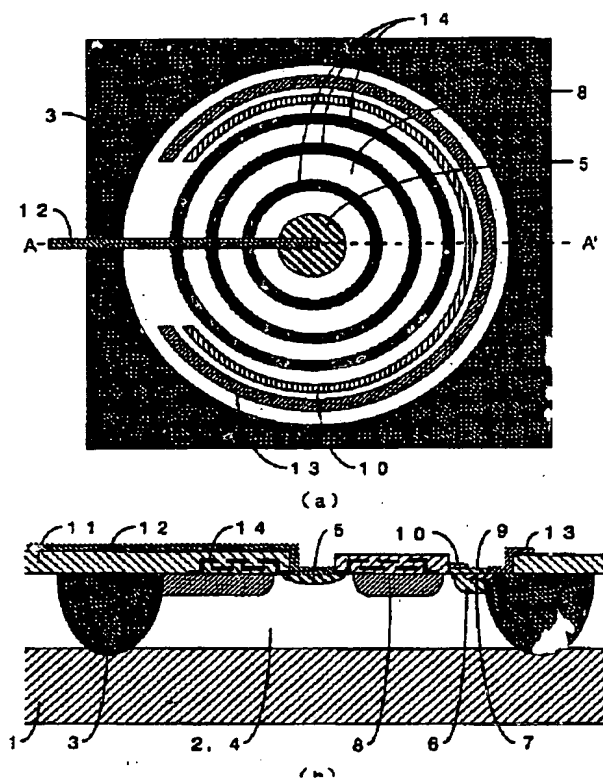


- | | |
|---------------|-------------|
| 1 p 型半導体基板 | 8 p- 型不純物領域 |
| 2 n 型エピタキシャル層 | 9 ゲート酸化膜 |
| 3 p+ 型素子分離領域 | 10 絶縁ゲート |
| 4 素子形成領域 | 11 絶縁層 |
| 5 n+ 型ドレイン領域 | 12 ドレイン電極 |
| 6 p 型チャネル領域 | 13 ソース電極 |
| 7 n+ 型ソース領域 | 14 導体層 |

【図 2】



【図3】



【図4】

